

УДК 004.942+338.2

Диагностирование цифровых схем: этапы развития и проблемы

Андрюхин А.И.

Донецкий национальный технический университет
alexandruckin@rambler.ru

Андрюхин А.И. Диагностирование цифровых схем: этапы развития и проблемы. В статье представлены основные этапы развития и проблемы тестового диагноза цифровых схем. Основная модель в диагностике биполярных схем рассматривается. Ее свойства и недостатки описаны для диагностики современных МОП СБИС. Основные проблемы тестирования МОП структур рассмотрены. Обзор работ при проектировании тестопригодных схем представлен. Подчеркнута важность правильной оценки осцилляций при моделировании неисправных устройств. Результаты моделирования на переключательном уровне МОП-структур также представлены. Основные направления построения транзисторов нового поколения рассмотрены.

Ключевые слова: тест, диагностика, КМОП, тестопригодная, IDDQ.

Введение

Тестовое диагностирование цифровых схем зависит от технологии их изготовления и можно выделить два традиционных направления и одно формирующееся направления. Последнее разбивается на множество предлагаемых и исследуемых путей построения диагностируемого базового транзистора, которыми для традиционных технологий являются биполярный и полевой транзисторы с их многочисленными модификациями.

Биполярный транзистор и модель ОКН-одинокных константных неисправностей

Так как физические дефекты биполярного транзистора хорошо укладывались в теорию ОКН, то использование логической модели в роли базовой для биполярных структур для целей диагностирования было неофициальным стандартом[1-5]. В настоящее время только небольшая часть исследований используют доминировавшую многие годы модель ОКН в чистом виде, так как главенствующий ныне физический метод проверки современных СБИС (реализация по КМОП и МОП технологиям) IDDQ и его модификации в 1990-2000 годах революционизировал проверку СБИС[.]. Он выполняет оценку силы тока в исправной и дефектной схемах на небольшом количестве входных наборов (пару десятков), которые должны просто поменять значения на линии схемы хотя бы один раз. Эти наборы позволяют обнаружить не только класс однокных

константных неисправностей (ОКН), но и массу других.

Тем самым старая задача построения тестов для класса однокных константных неисправностей, которые мы обнаруживаем измерением по напряжению, теряет свою приоритетность для современных СБИС. Она была важна для ТТЛ-технологии. Для современных СБИС (МОП,КМОП-реализация) это не так и контрольные тесты, построенные по модели ОКН плохо обнаруживают дефекты современных СБИС.

Сама модель ОКН совершенно непригодна для построения диагностических тестов для современных МОП СБИС.

Самый простой и известный пример-дефект «обрыв затвора транзистора» превращает комбинационный вентиль И-НЕ в последовательностную схему.

Сейчас основным дефектом современных СБИС является утечка тока, которую нельзя определить, используя только измерения по напряжению и естественно модель ОКН невозможно применять в чистом виде.

Использование для целей тестирования современных СБИС их представление на логическом уровне и моделирование на вентильном уровне является неадекватным и архаичным.

Эти методы и средства, которые характерны для ТТЛ-технологии и используют измерение только напряжения, являются старыми моделями, отражающими взгляды 25-30 летней давности.

Этого недостаточно для современных МОП СБИС и в настоящее время в современных

стандартах описания цифровых устройств (например, VerilogHDL IEEE P1364.1 почти 15 летней давности) используют помимо напряжения и атрибут Strength (сила тока). Тем самым необходимо моделировать современные МОП-СБИС и их неисправности на переключательном уровне.

МОП и КМОП технологии

Выше было указано, что для построения тестов для современных КМОП и n-МОП СБИС использование моделей только вентиляного уровня и использование логического моделирования (измерения напряжения) является недостаточным [1-6].

Например, известные дефекты “обрыв затвора” или “обрыв транзистора” можно попытаться обнаружить временными тестами, что и выполняется на практике. Они часто демонстрируют (в зависимости от различных условий) только ухудшение временных характеристик работы устройства.

Рассматривая неисправности SOP для КМОП-вентиль ИЛИ-НЕ на рис.1 и таблицу 1 обнаружения неисправностей, можно сказать, что эти дефекты меняют структуру самого комбинационного вентиля, так как согласно таблице они определяют динамическое поведение последовательностного устройства в определенных частотных диапазонах.

Значения выходов вентиля при определенных частотах можно определить в терминах логического нуля и единицы по напряжению.

Некоторые из неисправностей (SON) можно обнаружить только с помощью физического метода IDDQ (измерение тока в установившемся режиме), что и отражено в таблице 1 для вентиля на рис.1..

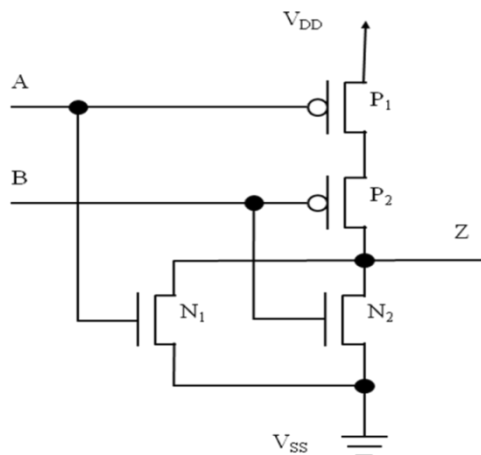


Рисунок –1.КМОП-вентиль ИЛИ-НЕ.

Большинство реальных Ореп-дефектов не представляются наиболее популярной моделью залипания SOP и вообще трудны для исследования. Так существующие модели игнорируют эффекты опасных состязаний и обмена емкостями.

Многие физические дефекты современных СБИС при определенных частотных диапазонах их функционирования имеют поведение, которое можно описывать моделью неисправности временная задержка пути.

Таблица 1.Обнаружение неисправностей.

Входы АВ	00	01	10	11
Выход Z	1	0	0	0
SOP N1	1	0	Z(t-1)	0
SON N1	IDDQ	0	0	0
SOP N2	1	Z(t-1)	0	0
SON N2	IDDQ	0	0	0
SOP P1	Z(t-1)	0	0	0
SON P1	1	0	IDDQ	0
SOP P2	Z(t-1)	0	0	0
SON P2	1	IDDQ	0	0

Примером этого являются внешние обрывы, которые могут вызвать колебания или последовательное поведение схемы вследствие образования обратной емкостной связи. Их проявление зависит от многих факторов.

Так известно, что при пониженном уровне напряжения или уменьшении частоты они имеют различные уровни обнаружения[].

Если мы рассматриваем схему с 1,2,3 и более SOP-неисправностями, которые в определенном частотном диапазоне проявляются как временная задержка, то это эквивалентно тому что мы имеем последовательностное устройство с 1, 2, 3 и более единицами памяти. Ясно, что построение теста и проверка такого устройства, а также сама организация подачи входных тестовых воздействий (их число и частота подачи) зависят от количества SOP-неисправностей чрезвычайно затруднительны.

Проблема осцилляций при моделировании неисправных схем

Моделирование неисправностей является одним из основных инструментов построения контрольных (проверочных) и диагностических тестов для цифровых систем. Известно, что при моделировании дискретных устройств возможна осцилляция значений сигналов на линиях устройства, т.е. схема не переходит в устойчивое состояние. При построении тестов такие неисправности

считаются обнаруженными условно. Это является серьезной проблемой при моделировании СБИС. Необходимо при построении тестов обеспечить отсутствие состязаний как для исправного устройства, так и для его неисправных модификаций, которые определяются рассматриваемым классом неисправностей [7]. Известно, что для различных итерационных алгоритмов теоретический максимум числа итераций для обнаружения осцилляций на вентильном или переключательном уровнях моделирования является линейной функцией числа базовых элементов [8]. На практике ограничивают число итераций при моделировании на основе анализа структуры схемы, учета характеристик обратных связей и т.п. При достижении предельного числа итераций обычно обрывают процесс моделирования присвоением неопределенного значения X осциллирующим линиям моделируемой схемы. Эти действия могут приводить к ошибочным результатам при неправильном определении предельного числа итераций. Состязания элементов памяти приводят к тому, что автомат при изменении состояния не сразу оказывается в том состоянии, которое запланировано требованиями проекта, а переходит в него через несколько непредусмотренных транзитных состояний. Если в результате такого перехода, независимо от соотношений задержек элементов памяти, автомат достигает того состояния, в которое он должен перейти, то такие состязания считаются некритическими. Если же существует хотя бы одна комбинация значений задержек элементов памяти, при которой автомат не достигает требуемого состояния, то такие состязания являются существенными или критическими.

Согласно [9] существование существенных состязаний можно определить по таблице переходов на уровне абстрактного автомата. Рассмотрим соседнее изменение входов $X_K \rightarrow X_L$ на рис.1.

	X_K	X_L
S_I	S_I	S_J
S_J	S_M	S_J
S_M	S_M	S_P

Рисунок –2.Фрагмент таблицы переходов.

Автомат должен перейти в устойчивое состояние S_J . Однако структурная реализация может привести к тому, что новое состояние S_J воспринимается частью схемы при старых входных воздействиях X_K . Поэтому возможен переход схемы в состояние S_J . Полностью завершившийся переход $X_K \rightarrow X_L$ может привести к переходу всей схемы из состояния S_M в состояние S_P .

Некритические состязания могут существенно изменять время, затрачиваемое автоматом на переход в нужное состояние, поскольку автомат может совершать различное число транзитных переходов в зависимости от соотношения между задержками. Считаем, что при проектировании учитывается условие поглощения $\sigma(S,X) = \sigma(\sigma(S,X),X)$ [10].

Необходимо отметить важность практической задачи определения предельного числа итераций для осциллирующих схем при моделировании ОКН на вентильном уровне. Известно, что исправные проекты ЦУ должны удовлетворять условию поглощения, но внесение неисправностей при моделировании нарушает это требование, что может привести к осцилляции значений на линиях или узлах устройства. Если СБИС содержит счетчики, то определение максимального числа итераций и прекращение моделирования представляет собой нетривиальную задачу и неправильное ее решение естественно даст недостоверные результаты.

К тому же это существенно замедляет параллельное моделирование неисправностей.

Этот вопрос важен при моделировании и на переключательном уровне.

Вышеизложенное указывает, что использование нейронных самообучающихся сетей, GA (генетических алгоритмов), GPS (всеобщий решатель проблем), которые основываются на логической модели СБИС для задачи построения тестов для них, вызывает сомнения в адекватности полученных результатов для реальных СБИС.

Анализ методов тестопригодного проектирования МОП схем

Необходимость построения тестопригодных устройств была давно осознана проектировщиками и интересны попытки их реализации в господствующей сейчас КМОП-технологии. Анализ причин дефектов схем, выполненных по МОП- технологии, показывает, что большая их часть может моделироваться неисправностями типа "устойчивый обрыв транзистора" (SOP) и "устойчивое замыкание транзистора" (SON). Первые переводят схему из

класса комбинационных в класс последовательностных, вторые обуславливают выходные неустойчивые сигналы. Рассмотрим пионерские решения предлагаемые в [11-12] для обнаружения этих неисправностей..

Обнаружение SOP-неисправностей в КМОП-вентилях требует двухнаборного теста. Первый набор прилагается для сброса или образования емкости на выходе вентиля. С помощью второго набора мы пытаемся изменить выходное значение вентиля. Этот двухнаборный тест должен быть робастным, т.е. временные задержки в схеме не должны влиять на результаты его действия. Для полностью КМОП-вентиля (FCMOS) значение его выхода равно 1, если значения его входов равны 0 и наоборот.

Основные моменты тестирования SOP-неисправностей рассмотрим на примере на рис.3 для транзистора P2.

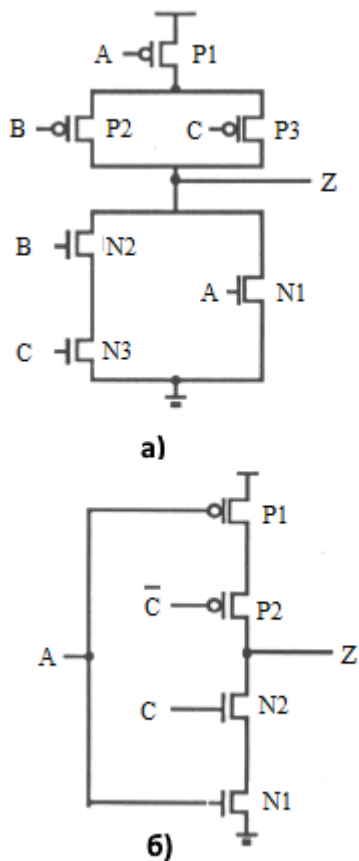


Рисунок –3. а) пример FCMOS-вентиля
б) пример MOS-вентиля.

Первый набор T1(100) мы прилагаем для разгрузки его выхода, т.е. установки выхода Z в 0. Второй набор T2(001) пытается изменить значение Z через P2. Этот набор T2 является единственным, но существует множество наборов для первого теста. Если мы используем

эти наборы, то реакция схемы будет неоднозначной ввиду индивидуальных различий задержек для каждого экземпляра ее. Для обеспечения робастности теста мы должны применять тест T1(011) и T2(001), при воздействии которых мы будем только один переход на входах вентиля

Однако неробастный тест может быть в реальности робастным, что иллюстрирует пример на рис.4 из [11].

Таблица 2.Робастный тест для схемы на рис.4.

	A	A'	B	B'	C	C'	D	D'	Z	Z*
T1	1	1	1	1	1	1	1	1	0	0
T2	1	0	0	1	1	0	0	1	1	0

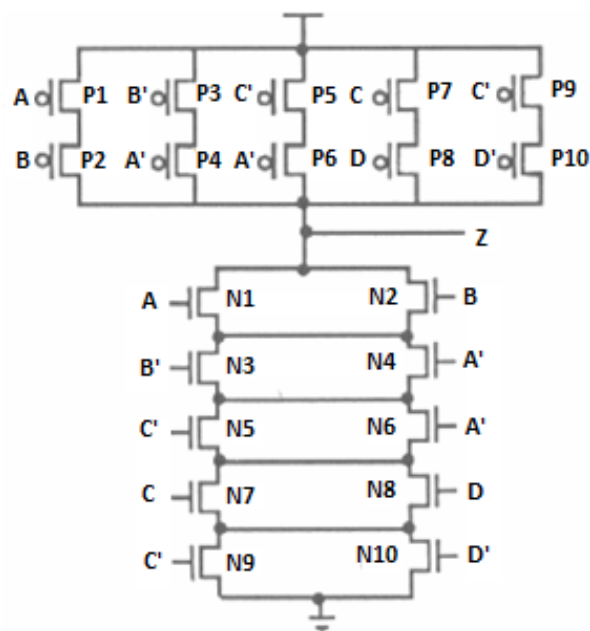


Рисунок –4.Проверяемая схема со многими временными переходами .

На рис.5 представлена тестопригодная схема, в которой каждому FCMOS-вентилю соответствует инвертирующий буфер и выход последнего управляет другим FCMOS-вентилем. Если все первичные входные полюса установим в 0(1), тогда все входы FCMOS-вентилей установятся в 0(1) соответственно. Следовательно, в этой схеме легко строить упрощенный двухнаборный тест для любого FCMOS-вентиля.

Развивая этот подход, мы приходим к структуре вентиля, для которого любая SON-неисправность для р-части и п-части обнаружима.

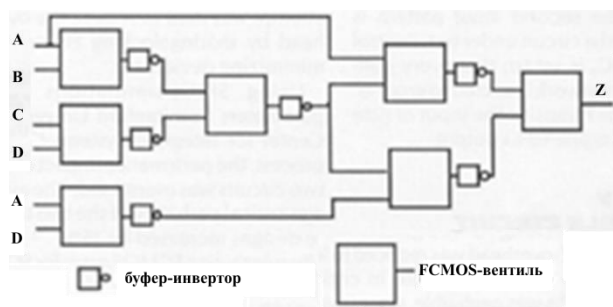


Рисунок –5.Тестопригодная схема.

На рис.6 мы имеем тестопригодный для SON-неисправностей SOFT-вентиль. Его получаем из FCMOS-вентилей добавлением двух полевых блокирующих транзисторов и входных управляющих линий.

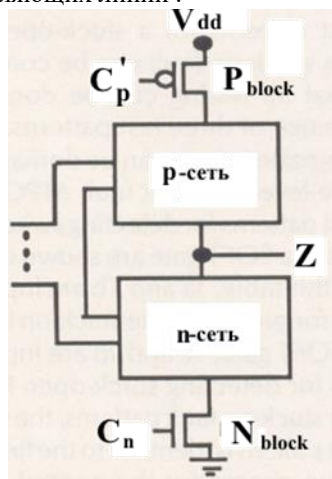


Рисунок –6. SOFT-вентиль

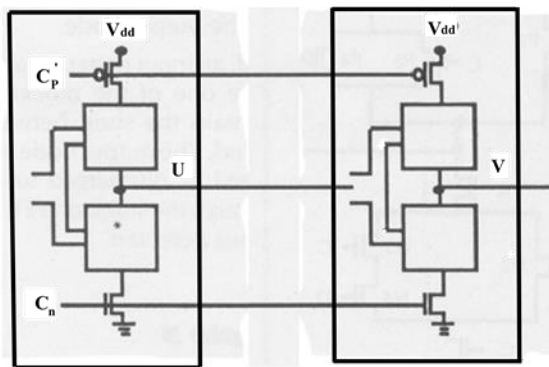


Рисунок –7..Каскад SOFT-вентилей,*-обнаруживающая SON-неисправность.

Аналогичные подходы представлены на рис.8-10.

Было показано, что в вентиле входные наборы теста для SOP-неисправности p(n)-подсети будут обнаруживать SON-неисправности в соответствующей p(n)-подсети, если последняя обнаружима

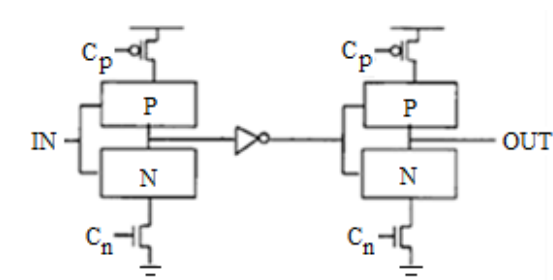


Рисунок –8. Тестопригодный FCMOS-вентиль из[12,13].

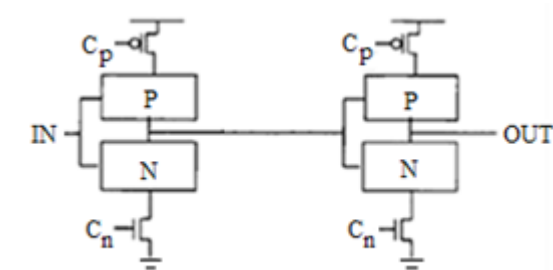


Рисунок –9. Тестопригодный FCMOS-вентиль из[12,14].

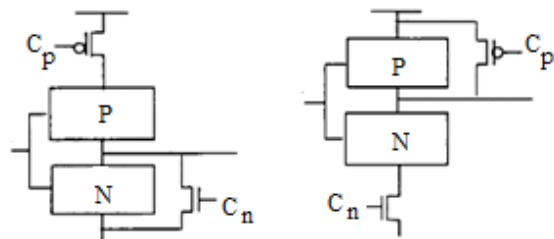


Рисунок –10. Тестопригодный FCMOS-вентиль из[12,15].

В SOFT-вентиле каждая SOP-неисправность и соответствующая ей SON-неисправность обнаруживаются трехнаборным тестом, в котором первый тестовый набор T1 инициализирует SOFT-вентиль, T2 обнаруживает SOP-неисправность и T3 обнаруживает SON-неисправность.

Пример трехнаборного теста представлен в таб.3.

Таблица 3.Трехнаборный тест для SON, SOP-неисправностей для схемы на рис 11.

р-сеть n-сеть	SOP SON	SON SOP
	C_p C_n 1 Z Z*	C_p C_n 1 Z Z*
T1	0 1 все-1 0 0	0 1 все-0 1 1
T2	0 1 TA 1 0*	0 1 TB 1 0*
T3	1 1 TA 1 0	0 0 TB 0 1

Переключательный анализ МОП-структур

Цифровые устройства, создаваемые по МОП и КМОП технологиям, имеют особенности своего функционирования, которые трудно моделировать при их представлении моделями вентильного уровня.

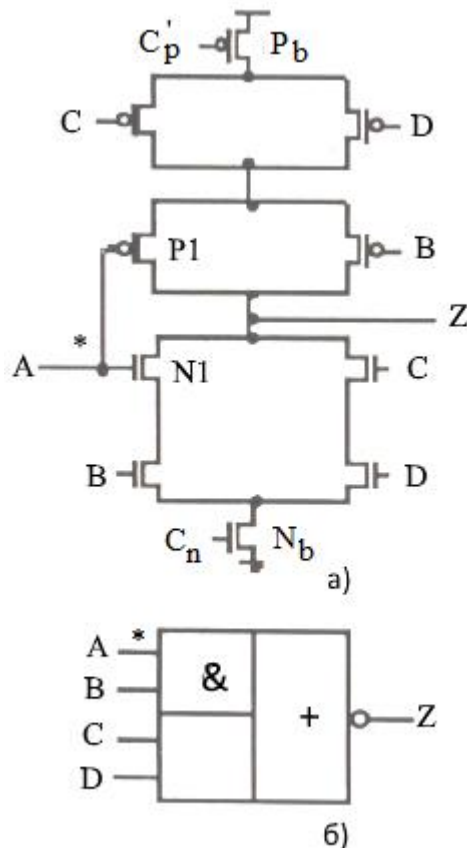


Рисунок –11. а) схема с SON(SOP)-обнаружимыми неисправностями; б) вентильный эквивалент.

Если с двунаправленностью сигналов при моделировании исправных устройств можно достаточно легко справиться, то моделирование неисправностей ясно показывает недостаточность традиционного вентильного подхода [2-6]. В [6] определены шесть недостатков классической теории переключательных схем в применении ее к анализу современных СБИС на МОП-структурах. С другой стороны программы аналогового моделирования, как SPICE, Мисосар, способные моделировать все типы МОП-схем на электрическом уровне, требуют большого объема вычислений уже для интегральных микросхем средней степени интеграции. Учитывают специфику работы

МОП-структур моделированием на переключательном уровне [2,4-6].

Большинство известных систем моделирования на переключательном уровне имеют в своем теоретическом фундаменте различные модификации двух основных направлений: теоретико-графового подхода [20] и теории решеток [21]. Они представляют в различной форме основные принципы простого переключательного анализа МОП-структур, отражающие их особые резистивно-емкостные свойства [2,22].

Сигнал S на линии МОП-схемы в переключательном анализе имеет вид $S=(H,G)$, где $H(G)$ -значение логической силы (состояния) соответственно. Особое место занимает сигнал $Z=(Z_H, Z_G)$, понимаемый как отключение узла.

Представим классический пример учета превращения комбинационной схемы вентиля И-НЕ при неисправности “обрыв транзистора $T2$ ” в последовательностную схему [2,4]. Соответствующие схемы представлены на рис 12. Описание вентиля на переключательном уровне приводится в таблице 3. Укажем для понимания данных таблицы что, структуру МОП-схемы определяют массивы $Q1, Q2, Q3, T$, которые описывают для каждого транзистора его сток, затвор, исток и тип соответственно.

Моделирование исправной схемы на наборах $(D1 D1 D0)$ и $(D1 D0 D0)$ дает результаты $(D0 D1 D1 D1 D0 D0)$ и $(D0 D1 D1 D0 D1 D1)$. Для неисправной схемы имеем на втором наборе входных сигналов, что значения узлов 1, 2, 3, 4, 5, 6, 7, 8, определяемые значениями вектора $X=(D0, D1, D1, D0, D0, C0, C0, D1)$, отличаются от значений исправной схемы в узле 6 (номер 7 в неисправной) $(D0 D1 D1 D0 D1 D1)$. Здесь мы видим, что значение 0 с силой C не равно значению $D1$ в исправной схеме. Таким образом, при быстром измерении значения напряжения в этом узле мы будем определять эту неисправность.

Таблица 3.Переключательное описание схем на рис 12.

Имя структуры	Исправная схема	Схема с неисправностью
Q1	1 2 3 4 5 6 6 6	1 2 3 4 5 6 6 7 7 8 8
Q2	2 2 2 2 4 3 3 3 4	2 2 2 2 2 4 3 3 3 5 5 4
Q3	1 2 3 4 1 6 5 2 2	1 2 3 4 5 1 7 6 2 8 7 2
T1	1 1 1 1 1 1 1 1 1	1 1 1 1 1 1 1 1 1 1 1 1
T2	1 1 1 1 1 1 1 0 0	1 1 1 1 1 1 1 1 0 1 1 0

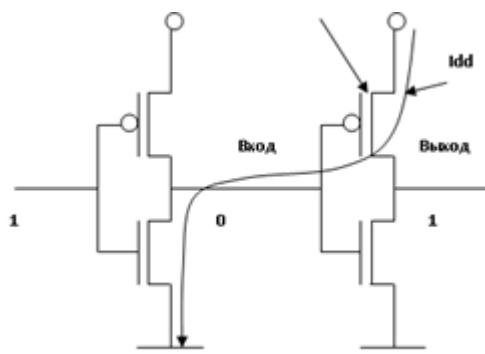


Рисунок –13. Путь тока при наличии неисправности



Рисунок –14. Ток в исправной и неисправной схемах.

Как и в случае с BF, различные методы были использованы для улучшения наблюдаемости Ореп-дефектов. После идеи изменения значения питания, различные авторы предлагали множество методик обнаружения дефектов при различных напряжениях питания. Было обнаружена эффективность повышения номинального питания для обнаружения определенных дефектов окисла.

Практика показала, что IDDQ тестирование является менее эффективным для открытых дефектов, нежели чем для дефектов, описываемых BF, и чрезвычайно зависит от используемых базисных примитивов и топологии самой схемы. Некоторые дефектные устройства демонстрируют временную зависимость при использовании метода IDDQ в течении секунд! Так на схеме на рис.15 мы имеем элемент НЕ-ИЛИ с плавающим затвором на nМОП транзисторе. Если установлено на $V_A(V_B)$ лог.1 (лог.0) соответственно, то узел V_C будет находиться в высокоимпедансном состоянии.

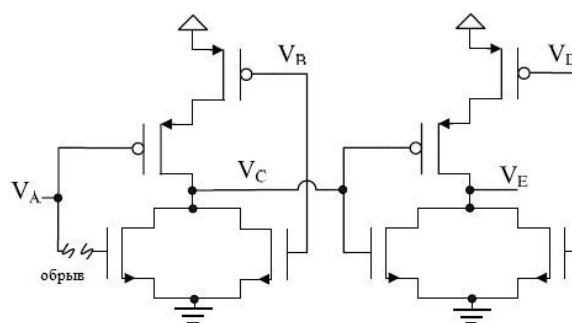


Рисунок –15. Плавающий затвор в элементе НЕ-ИЛИ.

В данном случае, устойчивое состояние напряжения в основном определяется балансом между различными вход-выходными токами компонентов узла (подложка, затворов, токов утечки обратного смещения рп перехода). Эти токи очень малы и время достижения конечного состояния может занять несколько секунд.

Температура может также повлиять на поведение SOP-неисправностей и они могут быть обнаружены при температуре отличной от номинальной. Так понижение температуры способствует улучшения обнаружения дефектов.

Изменение значения питания полезно для обнаружения неисправностей задержки. В самом деле, воздействия некоторой задержкой неисправности увеличивается при низких значениях питания, так что задержки неисправностей, не наблюдаемые при номинальных условиях, становятся наблюдаемыми при более низких напряжениях питания. Другой метод, который улучшает наблюдаемость временных дефектов, состоит в уменьшении частоты испытаний в сравнении с номинальной.

Наконец, с непрерывным сокращением размеров в нанотехнологиях, параметры соединений в пути становятся более важными, нежели задержки на элементах. Этот факт еще больше затрудняет определение различия между исправными устройствами и устройствами, имеющими ненормированные задержки. Чтобы избежать этой проблемы, некоторые подходы включают статистические методы в тестировании задержек.

Если текущее значение выше, чем пороговый предел, устройство считается неисправным. Методика IDDQ тестирования была апробирована во многих работах за последние двадцать лет с различными дефектами. Эффективность тестирования с помощью IDDQ проявилась при обнаружении различных дефектов, таких как замыкания между вентилями, замыкания подзатворного окисла и замыкания между затворами и др..

Однако, с уменьшением размера базисных примитивов в новых современных интегральных технологиях, появились проблемы связанные с применением IDDQ. Теоретические основы IDDQ основаны на оценке тока утечки в бездефектной схеме, а затем установке предельного порога, выше которого схема считается дефектной. Из-за статистических вариаций распределение текущего потребления устройства является гауссовым. Таким образом, порог ограничения гораздо выше, чем среднее. Считая для дефектных устройства распределение потребления также гауссовым, если их параметры распределений достаточно далеки друг от друга, легко определить различие между исправными и дефектными устройствами. Однако, ток утечки увеличивается экспоненциальной для каждой новой технологии, как показано на рис.16. Таким образом, он становится сравнимым или даже выше, чем дефект тока.

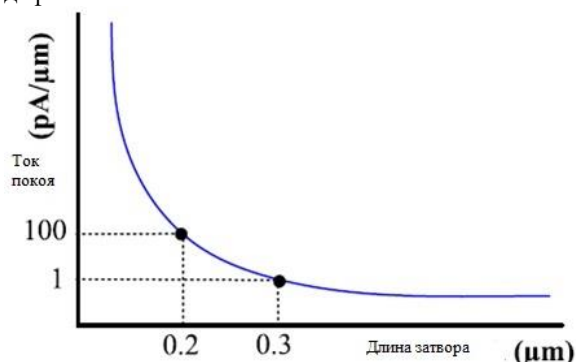


Рисунок -16. Эволюция утечки тока.

Поэтому текущее среднее значение распределения тока в бездефектных устройствах увеличивается и становится ближе к среднему в дефектных устройств.

Поэтому, становится все труднее определить, обуславливаются ли отклонения измеренного тока в методе IDDQ током утечки в исправных устройствах или дефектом в неисправных.

Были предложены некоторые решения для преодоления проблемы утечки тока, а именно: снижение температуры испытаний, контроля напряжения специальными способами, разбиения устройства на части и использования нескольких источников питания, несколько порогов транзисторов и т.п.

Разработаны также методы, основанные на пост-обработке данных IDDQ для расширения его эффективности. Одним из таких методов является дельта IDDQ метод. Этот метод концептуально же прост, как IDDQ метод, но вместо наблюдения абсолютного значения тока

питания, в нем рассматриваются разности тока питания между последовательными векторами испытания. На основании различия формируется вероятностный вывод об исправности или дефектности схемы.

Другой известной модификацией IDDQ метода, позволяющей избежать его проблем применения в современных условиях, является методика сигнатур тока, однако ее применение требует специализированного оборудования при низких температурах.

Большая часть реальных дефектов определяет неправильную работу устройств на рабочей частоте, но при этом устройство успешно функционирует должным образом на более низких частотах.

Таким образом, модель физического дефекта, когда линия как бы связана с узлом питания (V_{DD}) или земли (V_{GND}), как показано на рис.17, называется константной неисправностью 1 (SA1), или неисправностью залипания 0 (SA0). Хотя использование модели SA ранее давало хорошие результаты, сейчас она не может адекватно представлять поведение физических дефектов.

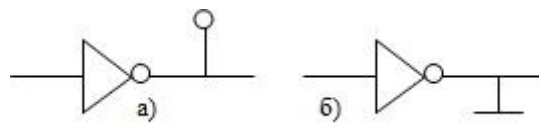


Рисунок –17. Константные неисправности

Реальные дефекты КМОП являются гораздо более сложными. Во всяком случае, хотя она и неточна для технологии CMOS, модель SA имеет такие преимущества: она вычислительно эффективна, может представлять различные физические дефекты и она может быть использована для модели другого типа неисправности.

«Византийское» поведение неисправностей современных СБИС

С момента своего появления около 30 лет назад, BGP (проблема византийских генералов) была основной для исследования многочисленных научных публикаций, связанных с отказоустойчивыми вычислительными системами [2,23]. Были предложены различные решения в области отказоустойчивых алгоритмов и архитектур для разного рода предположений и модификаций этой проблемы. Тем не менее, многочисленные решения этих модифицированных задач еще недостаточны для специалистов, которые проектируют, реализуют и поддерживают

системы с высокой степенью надежности [2,23]. Мы рассматриваем здесь BGP с целью подчеркнуть ее важность для диагностирования и моделирования современных КМОП-структур с необходимой точностью. Дадим краткие определения византийской неисправности и византийского отказа (сбоя) системы. Будем понимать под византийской неисправностью такую неисправность, которая имеет различные симптомы для различных систем-наблюдателей. Тогда потерю системой своей работоспособности вследствие византийской неисправности будем считать византийским сбоем или отказом [23-24].

Византийские проблемы не являются мифическими. Византийские неисправности в отказоустойчивых системах реального времени происходят с частотой отказов намного чаще, нежели их оценка вероятностью 10^{-9} отказов в час [2-26]. Сам характер византийских неисправностей не позволяет их локализовать с помощью существующих традиционных архитектурных решений. Последние только способствуют их распространению. Для иллюстрации этих утверждений можно рассмотреть некоторые аспекты многозначного моделирования дискретных устройств на переключательном уровне.

Так, типичным примером византийского поведения является цифровой сигнал, который имеет неопределенное значение X, т.е. где-то между логическим "0" и логической "1" напряжения.

Подобное поведение для неисправности обычно наблюдается в КМОП схемах для BF неисправностей или для наиболее распространенного типа неисправностей "орен" (SOP) [27-28]. Аналогичное поведение можно наблюдать у триггера в метастабильном состоянии, когда значения его выходов быстро осциллируют между "0" и "1" достаточно долго, прежде чем произойдет установка последних в предусмотренные логические уровни [29-30]. На самом деле, если мы застряли на значении X, то в дальнейшем это редко приводит к постоянным сигналам.

Современные направления реализации цифровой аппаратуры

Здесь мы лишь коснемся большой области построения транзисторов и их диагностики с использованием современных физических направлений, так как обзор ее требует отдельного рассмотрения. Основными направлениями являются:

1) Транзисторы управляемые одним электроном (SET- Single-electron transistors).

2) Квантовые клеточные автоматы (QCA-quantum cellular automata), базирующиеся на основе квантовой точки (Quantum dot).

3) Туннелированный диод (RTD-)Resonant tunneling diode

4) Устройства на быстрой одноквантовой логике (Rapid single-flux quantum (RSFQ) device)

5) Транзистор на основе карбоновых трубок (Carbon nanotube FET)

6) ДНК-вычисления (DNA computing)

Перспективы развития создания транзисторов на базе этих направлений и трудности и недостатки каждого пути представлены в [31]

Заключение

В статье представлены основные этапы развития и проблемы тестового диагноза цифровых схем. Представлена основная модель ОКН в диагностике биполярных схем и ее свойства и недостатки в диагностике современных МОП СБИС.

Рассмотрены основные проблемы тестирования МОП структур рассмотрены.

Представлены основные моменты при проектировании тестопригодных КМОП-схем.

Подчеркнута важность правильной оценки осцилляций при моделировании неисправных устройств.

Представлены результаты моделирования на переключательном уровне конкретной МОП-структуры.

Также в данной работе рассматривается неустойчивые сбои, как один из аспектов глобальной задачи диагностирования современных МОП и КМОП структур. Постоянное развитие интегральных технологий вызывает необходимость разработки новых моделей, которые могут покрыть часть или все реальные эффекты новых классов дефектов, в частности неустойчивые сбои.

Рассмотрена известная проблема BGP и ее значение для диагностирования МОП-структур на современном этапе. Конкретным примером BGP является византийское поведение BF-неисправностей и SOP-неисправностей.

Многочисленные решения этих модификаций BGP еще недостаточны для специалистов, которые проектируют, реализуют и поддерживают системы с высокой степенью надежности.

Актуальными являются исследования специальных методов проектирования для борьбы с неустойчивыми дефектами.

Представлены основные направления построения транзисторов нового поколения.

Разнообразие характеристик различных типов современных транзисторных структур стимулирует развитие всех методов диагностирования для них[32-33].

Список использованной литературы

1. VLSI Testing/Ed. by Williams T.W. Elsevier Science Publishers B.V., 1986-275 p.
2. Андрюхин А.И. Моделирование и диагностирование дискретных устройств на переключательном уровне. Донецк, ГВУЗ «ДонНТУ», 2012. – 258 с.:
3. Ульман Дж. Вычислительные аспекты СБИС: Пер. с англ./Под ред. П. П. Пархоменко. - М.: Радио и связь, 1990. - 480 с.
4. Вейцман И.Н., Кондратьева О.М. Тестирование КМОП-схем // Автоматика и телемеханика. - 1991. - N 2. - с. 3-34.
5. Киносита К., Асада К., Карацу О. Логическое проектирование СБИС.: Пер. с япон. - М.: Мир, 1988. - 309 с.
6. Хейес Дж.П. Обобщенная теория переключательных схем и ее применение для проектирования СБИС // Тр. Ин-та инж. по электротехнике и радиоэлектронике. - 1982. - 70, N 10. - с. 5-19.
7. Автоматизация проектирования цифровых устройств/С.И. Баранов, С.А. Майоров, Ю.П. Сахаров, В.А. Селютин. - Л.: Судостроение, 1979. - 264 с.
8. Лазер И.И., Шубарев В.А. Устойчивость цифровых микроэлектронных устройств. М.: Радио и связь, 1983 г. - 216 с.
9. Tinder R.F. Engineering Digital Design/Academic Press, 2000, - 884 p.
10. Бохман Д., Постхоф Х. Двоичные динамические системы. М.: Энергоатомиздат, 1986.
11. Dick L. Liu * and Edward J. McCluskey] Designing CMOS Circuits for Switch-level testability//IEEE Design & Test, August 1987, p. 42-49.
12. Anura P. Jayasumana, Yashwant K. Malaiya, and Rochit Rajsuman. Design of CMOS Circuits for Stuck-Open Fault Testability// IEEE Journal of Solid-State Circuits, Vol. 26, No. 1, January 1991, pp. 58-61.
13. S.M. Reddy and M. K. Reddy, "Testable realization for FET stuck-open faults in CMOS combinational logic circuits," IEEE Trans. Comput., vol. C-35, pp. 742-754, Aug. 1986.
14. D. L. Liu and E. J. McCluskey, "Designing CMOS circuits for switch level testability," IEEE Design and Test, vol. 4, no. 4, pp. 42-49, Aug. 1987.
15. B. Gupta, Y. K. Malaiya, Y. Min, and R. Rajsuman, "CMOS combinational circuit design for stuck-open/short fault testability," in Proc. Int. Symp. Elect. Dec. Circuits and Syst., Dec. 1987, pp. 789-791.
16. IDDQ Testing Outline.- Режим доступа: <http://www.ece.uc.edu/~wjone/iddq.pdf>
17. J. Figueras, A. Ferre, "Possibilities and limitations of IDDQ testing in submicron CMOS", IEEE Transactions on Components, Packaging, and Manufacturing Technology, Part B, vol. 21, Issue 4, pp. 352-359, November 1998.
18. А.А. Иванюк, А.И. Янушкевич, В.Н. Ярмолик. Технология Iddq тестирования одномерных итерационных логических структур // Автоматика и телемеханика. - 1999. - N 1. - с. 148-158
19. Ю.В. Быков, А.А. Иванюк, А.И. Янушкевич, В.Н. Ярмолик. Диагностика неисправностей КМОП-схем на основе Iddq-тестирования // Автоматика и телемеханика. - 1999. - N 7. - с. 142-153.
20. Randel E. Bryant. A Switch Level Model and Simulator for MOS Digital Systems /IEEE Trans. on Comp., - 1984. - 33, N 2. - P. 160-177.
21. Hayes J.P. Pseudo-Boolean Logic Circuits // IEEE Trans. on Computers. - 1986. Vol. C-35, N 7, P. 602-612.
22. Андрюхин А.И. Переключательное моделирование и диагностирование основных моделей неисправностей КМОП-структур // Научные труды Донецкого государственного технического университета. Серия: Информатика, кибернетика и вычислительная техника. Выпуск 13(185), 2011 г., с. 54 -65.
23. Lamport, L., Shostak, R., Pease, M.: The Byzantine Generals Problem. In: ACM Transactions on Programming Languages and Systems, 4(3): 382- 401 (1982)
24. K. Driscoll, B. Hall, H. Sivercrona and P. Zumsteg/ Byzantine Fault Tolerance, from Theory to Reality. Lecture Notes in Computer Science, 2003, Volume 2788/2003, 235-248
25. [Электронный ресурс]. – Режим доступа: http://en.wikipedia.org/wiki/Hazard_analysis
26. Андрюхин А. И. "Византийское поведение" неисправностей современных СБИС // Наукові праці Донецького національного технічного університету. Сер. : Інформатика, кібернетика та обчислювальна техніка. - 2013. - № 1. - С. 11-18.
27. D. Lavo, B. Larrabee, T. Chess. Beyond the Byzantine Generals: Unexpected Behavior and Bridging Fault Diagnosis // In: Proc. Int. Test Conference. – 1996. - 611-619 .
28. A. Keshk, Y. Miura, K. Kinoshita .Unified Procedure to Overcome the Byzantine General's Problem for Inter-gate and Intragate Bridging Faults in CMOS Circuits//JPSJ Journal. - Apr. 2000. - Vol. 41, N 4. - pp. 935-943
29. Chaney T. Measured Flip-Flop Responses to Marginal Triggering / T. Chaney // In: IEEE Transactions of Computers. - December 1983. - Vol. C-32, No. 12. – PP. 1207-1209.

30. Kleeman R. The jitter model for metastability and its application to redundant synchronizers / R. Kleeman // IEEE Trans. on Computers. - 1990. - № 7. - P. 930-942.
31. Wong H.-S. P. Beyond the conventional transistor/ IBM Journal RES. & DEV. Vol. 46 no. 2/3 March/May 2002 .pp.133-168.
32. Manoj Sachdev, José Pineda de Gyvez. Defect-oriented Testing for Nano-metric CMOS VLSI Circuits. Springer ,2007,p.342 .
33. Daniel Arumí i Delgado. Enhancement of defect diagnosis based on the analysis of CMOS dut behaviour. Tesi doctoral presentada per a

l'obtenció del títol de doctor Universitat Politècnica de Catalunya Departament d'Enginyeria Electrònica-2008,p.247.

Andruckin A.I. Diagnosis of digital circuits: the stages of development and problems . The article presents the main stages of development and problems of the diagnosis test of digital circuits. The basic model in the diagnosis of bipolar circuits is considered. Its properties are described in the diagnosis of advanced MOS VLSI. The main problems of the testing MOS structures are considered. A review of studies in the design testability schemes presented. The importance of a correct evaluation of the oscillation in the simulation of faulty devices emphasized. The simulation results on the switch-level of MOSFET structures are also presented. The main directions of construction of a new generation of transistors are considered. To optimize fault tolerance, it is important to estimate actual failure rate for each possible failure and types of failures (some are more probable than others or some are transient, others permanent). Borders and possibilities of various approaches of verification of VLSI are defined

Keywords: test, diagnostics, CMOS, testability, IDDQ.

Андрюхин А.И. Диагностирование цифровых схем: этапы развития та проблемы. У статті представлені основні етапи розвитку та проблеми тестового діагнозу цифрових схем. Розглядається основна модель в діагностиці біполярних схем. Її властивості та недоліки описані в діагностиці сучасних МОП НВІС. Розглянуто основні проблеми тестування МОП структур. Представлений огляд робіт при проектуванні тестопригодності схем. Підчеркнута важливість правильної оцінки осциляцій при моделюванні несправних пристроїв. Також представлені результати моделювання на Переключательная рівні МОП-структур. розглянуті основні напрямки побудови транзисторів нового покоління.

Ключові слова: тест, диагностика, КМОП, тестопригідна, IDDQ.

Статья поступила в редакцию 20.11.2015
Рекомендована к публикации д-ром ф.-м. наук А.С. Миненко