

УДК 004.274

Применение гибридных FPGA для реализации композиционного устройства управления с идентификацией выходов

К.Н. Ефименко

ГОУВПО «Донецкий национальный технический университет»
KN_Efimenko@mail.ru

Ефименко К.Н. Применение гибридных FPGA для реализации композиционного устройства управления с идентификацией выходов. Предлагается метод снижения аппаратных затрат в схеме композиционного микропрограммного устройства управления с идентификацией выходов, ориентированный на технологию гибридных FPGA. Метод основан на использовании трех источников кодов классов псевдоэквивалентных операторных линейных цепей и реализации схемы адресации микрокоманд на программируемых логических матрицах. Такой подход позволяет уменьшить площадь кристалла, занимаемую схемой устройства управления.

Введение

Использование программируемых логических интегральных схем (ПЛИС) вида FPGA (field-programmable gate arrays) [1,2] предоставляет широкие возможности для реализации схем устройств управления (УУ). При этом основу FPGA составляют макроячейки LUT (look-up table), имеющие ограниченное число входов (4-6). Также в настоящее время развивается технология гибридных FPGA [3,4], в состав которых входят LUT элементы, встроенные блоки памяти (EMB, embedded memory blocks) и встроенные программируемые логические матрицы (PLA, programmable logic array). В случае если алгоритм управления некоторой системы представлен линейной граф-схемой алгоритма (ГСА) [5], для реализации схемы УУ может быть использована модель композиционного микропрограммного устройства управления (КМУУ) с идентификацией выходов [6,7]. При этом появляется возможность реализации части схемы на блоках PLA. Это позволяет уменьшить площадь кристалла, занимаемую схемой КМУУ. В настоящей работе предлагается метод усовершенствования КМУУ с идентификацией выходов, основанный на использовании трех источников кодов классов псевдоэквивалентных операторных линейных цепей (ОЛЦ) за счет использования возможностей, представляемых технологией гибридных FPGA. Задачей исследования является разработка метода синтеза КМУУ с идентификацией выходов, позволяющего уменьшить число LUT-элементов в комбинационной части УУ.

КМУУ с идентификацией выходов

Пусть алгоритм управления цифровой системы задан ГСА $\Gamma = \Gamma(B, E)$, представленной

множествами вершин B и соединяющих их дуг E . Тогда $B = \{b_0, b_E\} \cup E_1 \cup E_2$, где b_0 – начальная вершина, b_E – конечная вершина, E_1 – множество операторных вершин и E_2 – множество условных вершин ГСА Γ . В операторных вершинах $b_q \in E_1$ записываются наборы микроопераций $Y(b_q) \subseteq Y$, где $Y = \{y_1, \dots, y_N\}$ – множество микроопераций. В условных вершинах $b_q \in E_2$ записываются элементы множества логических условий $X = \{x_1, \dots, x_L\}$. Введем ряд определений, взятых из [5,8].

Определение 1. Операторной линейной цепью ГСА Γ называется конечная последовательность операторных вершин $\alpha_g = \langle b_{g1}, \dots, b_{gE_g} \rangle$ такая, что для любой пары соседних компонент b_{gi}, b_{gi+1} , где i – номер компоненты кортежа α_g , существует дуга $\langle b_{gi}, b_{gi+1} \rangle \in E$.

Определение 2. Вершина $b_q \in D^g$, где D^g – множество вершин, входящих в ОЛЦ α_g , называется входом ОЛЦ α_g , если существует дуга $\langle b_t, b_q \rangle \in E$, где $b_t \notin D^g$.

Определение 3. Вершина $b_q \in D^g$, называется выходом ОЛЦ α_g , если существует дуга $\langle b_q, b_t \rangle \in E$, где $b_t \notin D^g$.

Определение 4. ОЛЦ α, α_q называются псевдоэквивалентными ОЛЦ, если их выходы связаны со входом одной и той же вершины $b_q \in B$.

Пусть для ГСА Γ сформировано множество ОЛЦ $S = \{\alpha, \dots, \alpha_q\}$, определяющее разбиение на множестве E_1 [5,8], и пусть $|E_1| = M$. Поставим в

соответствие каждой вершине $b_q \in E_1$ микрокоманду MI_q с адресом $A(b_q)$, имеющим разрядность

$$R = \lceil \log_2 M \rceil. \quad (1)$$

Используем для адресации микрокоманд переменные $T_r \in T$, где $|T|=R$. Адресация выполняется таким образом, чтобы выполнялось условие

$$A(b_{gi+1}) = A(b_{gi}) + 1, \quad (2)$$

где $b_{gi}, b_{gi+1} \in D^g$ и $\langle b_{gi}, b_{gi+1} \rangle \in E$.

В этом случае ГСА Γ может быть интерпретирована КМУУ с идентификацией выходов (рис. 1), что предлагается в работах [6,7], называемым в дальнейшем КМУУ U_1 .

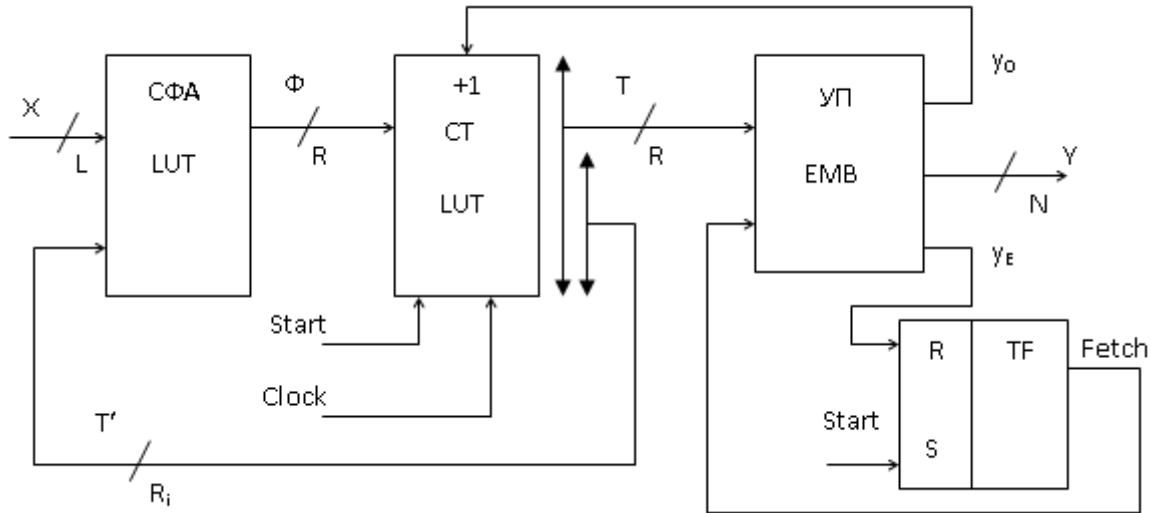


Рисунок 1 – Структурная схема КМУУ U_1

В КМУУ U_1 схема формирования адреса (СФА) реализует систему функций возбуждения триггеров счетчика СТ, определяемую как

$$\Phi = \Phi(T', X). \quad (3)$$

Переменные $T_r \in T$, где $|T|=R$, используются для адресации микрокоманд. Однако для однозначной идентификации ОЛЦ $\alpha_g \in C$ достаточно

$$R_i = \lceil \log_2 G \rceil. \quad (4)$$

переменных, где $G = |C|$. Таким образом, за счет применения процедуры специальной адресации микрокоманд [6,7] формируется $T' = \{T_1, \dots, T_{R_i}\}$ – множество адресных разрядов, достаточное для однозначной идентификации выходов ОЛЦ $\alpha_g \in C'$, где $C' \subseteq C$ – множество ОЛЦ, выходы которых не связаны с входом вершины b_E .

По сигналу Start счетчик СТ устанавливается в ноль, что соответствует адресу первой микрокоманды реализуемого алгоритма. По сигналу $y_0 = 1$ содержимое СТ увеличивается на единицу, что соответствует режиму (2). Управляющая память (УП) хранит наборы микроопераций $Y(b_q) \subseteq Y$ и переменные y_0 (управление СТ) и y_E (признак окончания алгоритма). Триггер считывания TF формирует сигнал Fetch, разрешающий выборку микрокоманд из УП. При достижении окончания алгоритма формируется переменная $y_E = 1$, что приводит к Fetch = 0 и прекращению выборки из

УП.

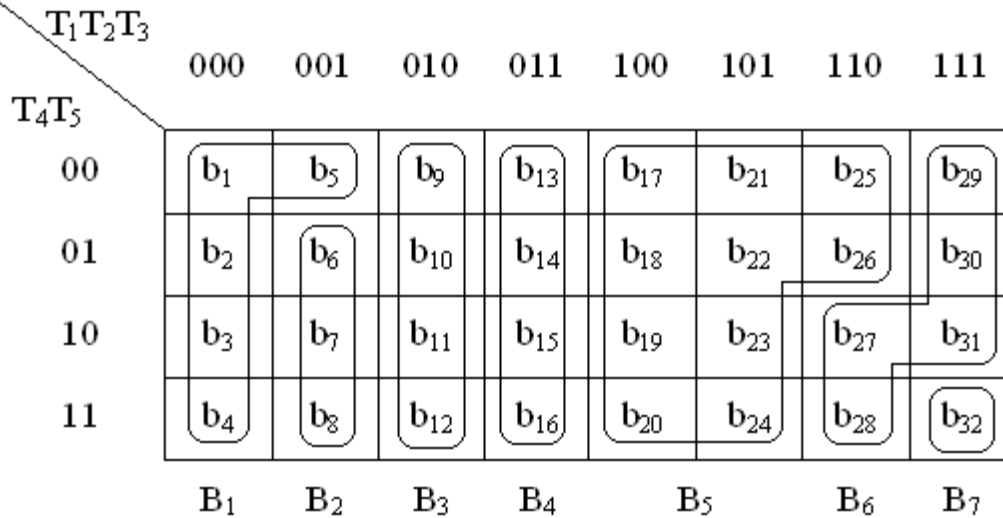
Методика синтеза КМУУ U_1 на FPGA предложена в [6,7]. При этом схемы СФА, СТ и TF реализуются на LUT, а схема УП – на встроенных блоках памяти EMB. Основным недостатком КМУУ U_1 является значительное число термов в системе функций (3). Это приводит к увеличению числа LUT элементов и их уровней в схеме СФА. Уменьшение числа термов системе (3) гарантируется в КМУУ с преобразованием адресов микрокоманд в коды классов псевдоэквивалентных ОЛЦ [8]. Однако это связано с введением в схему КМУУ дополнительного блока преобразователя адресов (БПА), который увеличивает аппаратные затраты кристалла. В настоящей работе предлагается метод синтеза КМУУ, позволяющий уменьшить как число термов в системе (3), так и число LUT элементов в схемах БПА и СФА.

Основная идея метода

Найдем разбиение $\tilde{I}_N = \{B_1, \dots, B_I\}$ множества ОЛЦ C на классы псевдоэквивалентных ОЛЦ. Выполним адресацию микрокоманд так, чтобы при выполнении условия (2) максимально возможное число классов $B_i \in \tilde{I}_C$ выражалось одним интервалом R -разрядного булева пространства. Представим разбиение $\tilde{I}_C$ в виде $\tilde{I}_C = \tilde{I}_1 \cup \tilde{I}_2$, где $\tilde{I}_1 \cap \tilde{I}_2 = \emptyset$. Пусть $B_i \in \tilde{I}_1$,

33

ОЛЦ $C = \{ \alpha_1, \dots, \alpha_{12} \}$, где $\alpha_1 = \langle b_1 \rangle$,
 $\alpha_2 = \langle b_2, \dots, b_5 \rangle$, $\alpha_3 = \langle b_6, b_7 \rangle$, $\alpha_4 = \langle b_8 \rangle$,
 $\alpha_5 = \langle b_9, b_{10} \rangle$, $\alpha_6 = \langle b_{11}, b_{12} \rangle$, $\alpha_7 = \langle b_{13}, \dots, b_{16} \rangle$,
 $\alpha_8 = \langle b_{17}, \dots, b_{20} \rangle$, $\alpha_9 = \langle b_{21}, \dots, b_{26} \rangle$, $\alpha_{10} = \langle b_{27}, b_{28} \rangle$,
 $\alpha_{11} = \langle b_{29}, \dots, b_{31} \rangle$, $\alpha_{12} = \langle b_{32} \rangle$. Пусть эти ОЛЦ
могут быть разбиты на $I = 7$ классов, где
 $V_1 = \{ \alpha_1, \alpha_2 \}$, $V_2 = \{ \alpha_3, \alpha_4 \}$, $V_3 = \{ \alpha_5, \alpha_6 \}$,
 $V_4 = \{ \alpha_7 \}$, $V_5 = \{ \alpha_8, \alpha_9 \}$, $V_6 = \{ \alpha_{10}, \alpha_{11} \}$,
 $V_7 = \{ \alpha_{12} \}$. Пусть выход ОЛЦ $\alpha_i \in C$ связан с
входом вершины b_E . Как известно, переходы из
таких ОЛЦ не рассматриваются, так как их
последняя вершина должна включать

Рисунок 3 – Адреса микрокоманд КМУУ $U_2(\Gamma)$

Следующие интервалы могут быть найдены для
классов $V_i \in \check{I}_C$. Класс V_1 соответствует
интервалам 000** и 00100; класс V_2 – интервалам
00101 и 0011*; класс V_3 – интервалу 010**;
класс V_4 – интервалу 011**;
класс V_5 – интервалам 10***
и 1100*; класс V_6 – интервалам 1101*, 1110* и
11110. Итак, имеем следующие классы для
разбиения $\check{I}_C$: $\check{I}_1 = \{V_1, V_2, V_5, V_6\}$ и $\check{I}_2 = \{V_3, V_4\}$.
Для кодирования классов $V_i \in \check{I}_1$ необходимо
 $R_1 = 2$ переменных $\tau_r \in \{\tau\}$.

Однако необходим код, позволяющий
идентифицировать тот факт, что $V_i \notin \check{I}_1$. В этой
связи (в данном примере) разрядность R_1
увеличивается до 3. Пусть код 000 соответствует
условию $V_i \notin \check{I}_1$. Закодируем классы $V_i \in \check{I}_1$
следующим образом: $K(V_1) = 001$, $K(V_2) = 010$,
 $K(V_5) = 100$ и $K(V_6) = 101$.

Для формирования таблицы переходов необходимо
построить систему обобщенных формул перехода
[8] для классов $V_i \in \check{I}_C$. Пусть для классов
 $V_1, V_3 \in \check{I}_C$ получены следующие формулы:

переменную y_E [8].

Выполним адресацию микрокоманд так, чтобы
выполнялось условие (2) и максимально
возможное число классов представлялось одним
обобщенным интервалом R -мерного булева
пространства. В рассматриваемом примере
 $M = 32$, то есть $R = 5$ и $T = \{T_1, \dots, T_5\}$. Один из
возможных вариантов оптимальной адресации
микрокоманд приведен на рис. 3. Этот рисунок
содержит видоизмененную карту Карно, которая
достаточна для получения обобщенных
интервалов, соответствующих кодам классов
 $V_i \in \check{I}_C$. Символ $U_2(\Gamma)$ означает, что КМУУ U_2
реализуется по ГСА Γ .

$$V_1 \rightarrow x_1 b_6 \vee \overline{x_1} b_9; \quad (13)$$

$$V_3 \rightarrow x_2 b_{13} \vee \overline{x_2} x_3 b_{17} \vee \overline{x_2} x_3 b_6.$$

Фрагмент таблицы переходов КМУУ $U_2(\Gamma)$,
соответствующий (13), приведен в табл.1.

Таблица 1. Фрагмент таблицы переходов
КМУУ $U_2(\Gamma)$

V_i	$K(V_i)1$	$K(V_i)2$	b_q	$A(b_q)$	X_h	Φ_h
V_1	001	*****	b_6	00101	$\overline{x_1}$	$D_3 D_5$
			b_9	01000	$\overline{x_1}$	D_2
V_3	000	010**	b_{13}	01100	$\overline{x_2}$	$D_2 D_3$
			b_{17}	10000	$\overline{x_2} x_3$	D_1
			b_6	00101	$\overline{x_2} x_3$	$D_3 D_5$

В столбце $K(V_i)1$ указан код класса $V_i \in \check{I}_1$, в
столбце $K(V_i)2$ – код класса $V_i \in \check{I}_2$. Если
рассматриваются переходы из класса $V_i \in \check{I}_2$, то в
строке записан код 000. В противном случае, код из
столбца $K(V_i)2$ игнорируется.

Таблица переходов служит для формирования
функций (12). Например, из табл.1 может быть

получена функция

$$D_2 = \tau_1 \tau_2 \tau_3 x_1 \vee \tau_1 \tau_2 \tau_3 T_1 T_2 T_3 x_2.$$

Остальные этапы синтеза выполняются аналогично их выполнению в [9]. Только этап 7 имеет некоторые отличия. Рассмотрим следующий пример.

Пусть в вершине b_{31} ГСА Γ записан набор микроопераций y_5, y_7 . Из предыдущего материала ясно, что вершина b_{31} является выходом ОЛЦ q_1 , которая входит в класс B_6 . Класс B_6 имеет код $K(B_6) = 101$, а вершине b_{31} соответствует адрес 11110 (рис. 3). Таким образом, в ячейку ЕМВ с адресом 11110 должен быть помещен код набора y_5, y_7 и переменные τ_1 и τ_3 .

Итак, переменные $\tau_i \in \{\tau^1\}$ помещаются в ячейки УП, соответствующие выходам ОЛЦ, входящим в классы $B_i \in \tilde{I}_1$. Схема БПА реализуется на LUT элементах. Очевидно, что разбиение множества τ на классы τ^1 и τ^2 надо производить следующим образом. В класс τ^2 помещаются переменные $\tau_i \in \{\tau\}$, которым соответствуют схемы с наименьшим числом LUT элементов. Такой подход позволяет уменьшить аппаратные затраты в схеме БПА. Дальнейшая реализация схемы КМУУ U_2 сводится к реализации системы функций на PLA и УП на ЕМВ. Для решения этой задачи используются стандартные промышленные пакеты. Этот этап выходит за пределы статьи.

Отметим, что реализация предложенного подхода возможна только благодаря большому числу входов PLA. Например, в блоках PLA микросхем APEX20K имеется $S=32$ входа [4]. В общем случае предложенный метод целесообразен при выполнении условия

$$R_1 + R + L \leq S. \quad (14)$$

Анализ стандартных примеров [10] показал, что условие (14) выполняется для 87% МПА из этой библиотеки.

Заключение

Предлагаемый в работе метод уменьшения аппаратных затрат в схеме КМУУ основан на учете особенностей гибридных FPGA, а также наличии классов псевдоэквивалентных ОЛЦ. Использование двух источников кодов классов позволяет гарантированно уменьшить число термов в системе функций возбуждения триггеров счетчика адресов микрокоманд до максимально возможной величины. Если КМУУ с идентификацией выходов рассматривать как автомат Мура, то предлагаемый подход позволяет уменьшить число термов до величины этого параметра у эквивалентного автомата Мили. Кроме того, уменьшается число LUT элементов в схеме преобразователя адреса, так как не все адреса выходов ОЛЦ подлежат преобразованию.

В случае выполнения условия (14) схема СФА реализуется в виде одного блока PLA. При этом существенно уменьшается площадь кристалла, занимаемая схемой СФА. Это во многом объясняется уменьшением числа межсоединений по сравнению с КМУУ U_1 .

Научная новизна предложенного метода заключается в использовании особенностей базиса гибридных FPGA (большой коэффициент объединения по входам блоков PLA) для уменьшения числа LUT элементов в схеме КМУУ. С практической точки зрения метод дает возможность уменьшить площадь кристалла FPGA, занимаемую схемой КМУУ с идентификацией выходов, что позволяет получать схемы, обладающие меньшей стоимостью, чем известные из литературы аналоги.

Дальнейшие исследования могут быть направлены на разработку метода синтеза КМУУ, уменьшающего число блоков PLA в схеме адресации при нарушении условия (14).

Литература

1. Maxfield, S. The Design Warrior's Guide to FPGAs/ S. Maxfield. – Amsterdam: Elsevier, 2004. – 541 pp.
2. Грушвицкий, Р.И. Проектирование систем на микросхемах с программируемой структурой/ Р.И. Грушвицкий, А.Х. Мурсаев, Е.П. Угрюмов. – С-Пб: БХВ-Петербург, 2006. – 736 с.
3. Kaviani, F. The Hybrid Field Programmable Architecture/ F. Kaviani, S. Brown// IEEE Design & Test of Computers, Vol.16, N 4, 1999. – P. 74-83.
4. Sigh, S. Performance Evaluation of Hybrid Reconfigurable Computing Architectures over Symmetrical FPGA/ S. Sigh, R. Singh, V. Bhatia// International Journal of Embedded Systems and Applications, Vol.2, N 3, 2012. – P. 107-116.
5. Barkalov, A. Logic synthesis for compositional microprogram control units/ A. Barkalov, L. Titarenko. – Berlin: Springer, 2008. – 272 pp.
6. Баркалов, А.А. Оптимизация метода синтеза композиционного микропрограммного устройства управления на FPGA/ А.А. Баркалов, Р. Вишневский, К.Н. Ефименко// Искусственный интеллект, №3, 2005. – С. 265-271.
7. Баркалов, А.А. Оптимизация схемы адресации устройства управления с идентификацией выходов/ А.А. Баркалов, К.Н. Ефименко// Наукові праці ДонНТУ. Серія „Проблеми моделювання та автоматизації проектування динамічних систем” (МАП-2007). Випуск 6 (127). – Донецьк: ДонНТУ, 2007. – С.21-29.
8. Баркалов, А.А. Синтез микропрограммных автоматов на заказных и программируемых СБИС/ А.А. Баркалов, Л.А. Титаренко. – Донецк: УНИТЕХ, 2009. – 336 с.
9. Баркалов, А.А. Оптимизация схемы КМУУ с общей памятью/ А.А. Баркалов, Л.А. Титаренко, К.Н. Ефименко, Я.М. Липински// УСИМ, №5, 2011.

– С. 47-52.

44 pp.

10. Yang, S. Logic synthesis and optimization benchmarks user guide. Technical report/ S. Yang. – Microelectronic Center of North Carolina, 1991. –

К.Н. Ефименко. ПРИМЕНЕНИЕ ГИБРИДНЫХ FPGA ДЛЯ РЕАЛИЗАЦИИ КОМПОЗИЦИОННОГО УСТРОЙСТВА УПРАВЛЕНИЯ С ИДЕНТИФИКАЦИЕЙ ВЫХОДОВ

Предлагается метод уменьшения аппаратных затрат в схеме композиционного микропрограммного устройства управления (КМУУ) с идентификацией выходов, ориентированный на технологию гибридных FPGA. Метод основан на использовании трех источников кодов классов псевдоэквивалентных операторных линейных цепей (ПОЛЦ) и реализации схемы адресации микрокоманд на программируемых логических матрицах. Такой подход позволяет уменьшить площадь кристалла, занимаемую схемой устройства управления. Приведен пример применения предложенного метода.

Ключевые слова: КМУУ с идентификацией выходов, ПОЛЦ, гибридные FPGA, логическая схема

К.М. Єфіменко. ЗАСТОСУВАННЯ ГІБРИДНИХ FPGA ДЛЯ РЕАЛІЗАЦІЇ КОМПОЗИЦІЙНОГО ПРИСТРОЮ КЕРУВАННЯ З ІДЕНТИФІКАЦІЄЮ ВИХОДІВ

Пропонується метод зменшення апаратних витрат в схемі композиційного мікропрограмного пристрою керування (КМПК) із ідентифікацією виходів, який орієнтовано на технологію гібридних FPGA. Метод засновано на використанні трьох джерел код класів псевдоеквівалентних операторних лінійних ланцюгів (ПОЛЛ) і реалізації схеми адресації мікрокоманд на програмованих логічних матрицях. Такий підхід дозволяє зменшити площу кристала, яку займає схема пристрою керування. Наведено приклад використання запропонованого методу.

Ключові слова: КМПК із ідентифікацією виходів, ПОЛЛ, гібридні FPGA, логічна схема

K.N. Efimenko. THE USE OF HYBRID FPGA FOR IMPLEMENTING COMPOSITIONAL CONTROL UNIT WITH IDENTIFICATION OF OUTPUTS

A method for reducing the hardware amount in the circuit of compositional microprogram control unit (CMCU) with identification of outputs is proposed oriented on hybrid FPGA technology. The method is based on the use of three sources of codes classes of pseudoequivalent operational linear chains (POLC) and implementing the block of microinstruction addressing with programmable logic arrays. Such approach allows reducing the chip area occupied by the circuit of CMCU. An example of the proposed method application is given.

Key words: CMCU with identification of outputs, POLC, hybrid FPGA, logic circuit

*Статья поступила в редакцию 20.05.2016
Рекомендована к публикации д-ром техн. наук В.Н. Павлышом*