

Проектирование компьютерных компонентов для реализации операций тетралогии

Иваница С. В.

Донецкий национальный технический университет
ivanitsa-serg@rambler.ru

Иваница С. В. Проектирование компьютерных компонентов для реализации операций тетралогии. Выполнен синтез элементов тетралогии, выполняющих тетрафункции над входными сигналами (операндами, данными). Предложены модели компьютерных компонентов, выполненных в среде Active-HDL. Определены зависимости между унарными сдвиговыми и инверсными логическими операциями тетралогии с возможностью универсального использования синтезированных элементов.

Ключевые слова: тетракод, тетрит, тетралогика, логические элементы, постбинарный компьютеринг.

Введение

В 1996 году в работе [1] впервые изложена концепция тетралогии и тетракодов как с теоретической точки зрения, так и с точки зрения возможных практических приложений. Позже, в работах [2, 3] было выделено двумерное логическое пространство с определенными в нем состояниями тетралогии. Использование абстрактной модели двумерного логического пространства позволило определить унарные и бинарные логические операции для тетралогии (тетралогические операции) [3]. Полученные результаты тетралогических операций были подтверждены при представлении и взаимодействии возможных состояний тетралогии с применением аксиоматического аппарата теории множеств [4].

Целью данной работы является

1. Синтез компонентов, выполняющих определенные в [3, 4] тетралогические операции.
2. Проектирование и моделирование синтезированных компонентов в среде Active-HDL.

Разработка и проектирование базовых элементов тетралогии

Аналогично понятию логических элементов двоичной логики, справедливо нижеследующее определение элементов тетралогии. **Элементы тетралогии** — устройства, выполняющие функцию (операцию) тетралогии над входными сигналами

(операндами, данными) и предназначенные для обработки информации в цифровой форме.

В рамках данной работы цифровой сигнал для элементов тетралогии, как сигнал данных, у которого каждый из представляющих параметров описывается функцией дискретного времени и конечным множеством возможных значений, будет задаваться последовательностью сигналов высокого — «В» и низкого — «Н» уровней цифрового сигнала, что соответствует значениям единицы и нуля двоичной логики. Последнее обосновано тем, что элементы тетралогии, как составляющие постбинарного компьютеринга, реализуются на базе современных двоичных компьютерных систем. При этом состояния тетралогии кодируются парой двоичных разрядов [5, с. 260–273]: «00» — для неопределенности А; «01» — для тетрануля; «10» — для тетраединицы; «11» — для множественности М.

Проектирование компьютерных компонентов для реализации логических операций тетралогии включает в себя следующие этапы:

1. Формирование классической таблицы истинности для тетрафункции с учетом замены каждого тетрита парой двоичных значений.
2. Формирование аналитического выражения, являющегося основой для синтеза с использованием канонической нормальной формы представления логических функций [6].
3. Синтез комбинационной схемы и ее проектирование в среде разработки, моделирования и верификации проектов для программируемых логических интегральных схем Active-HDL компании Aldec, с использованием

языка описания аппаратуры интегральных схем VHDL [7].

В табл. 1 представлена таблица истинности для унарных тетрафункций: инверсия (pNOT), максимизация и минимизация неопределенности (MAX_A, MIN_A) и множественности (MAX_M, MIN_M) [3, с. 136], а в табл. 2 — для бинарных тетрафункций: конъюнкция (pAND), дизъюнкция (pOR) и исключающее ИЛИ (сумма по модулю 2, pXOR) [5, с. 256–257, с. 270–272].

Из табл. 1 получаем следующие аналитические выражения (все операции в данных выражениях — операции булевой алгебры):

$$q_0 = a_0 \vee \bar{a}_1 = \bar{a}_0 \wedge a_1; \quad (1)$$

$$q_1 = a_1; \quad (2)$$

$$r_0 = a_0; \quad (3)$$

$$r_1 = \bar{a}_0 \wedge a_1 = \overline{a_0 \vee \bar{a}_1}; \quad (4)$$

$$s_0 = a_0; \quad (5)$$

$$s_1 = \bar{a}_0 \vee a_1 = \overline{a_0 \wedge \bar{a}_1}; \quad (6)$$

$$v_0 = a_0 \wedge \bar{a}_1 = \overline{\bar{a}_0 \vee a_1}; \quad (7)$$

$$v_1 = a_1; \quad (8)$$

$$w_0 = \bar{a}_0; \quad (9)$$

$$w_1 = \bar{a}_1. \quad (10)$$

На основании выражений (1–10) получены комбинационные схемы, которые приведены на рис. 1. На рис. 2 приведены созданные в Active-HDL компоненты для унарных функций тетралогии с демонстрацией результатов моделирования.

Таблица 1. Таблица истинности для унарных тетрафункций (в скобках приведены значения тетритов)

Вход- ные значе- ния	Выходные значения				
	минимизации		максимизации		инверсии
	$q = MIN_A(a)$	$r = MIN_M(a)$	$s = MAX_A(a)$	$v = MAX_M(a)$	$w = pNOT(a)$
$a[1:0]$	$q[1:0]$	$r[1:0]$	$s[1:0]$	$v[1:0]$	$w[1:0]$
00 (A)	01 (0)	00 (A)	10 (1)	00 (A)	11 (M)
01 (0)	01 (0)	01 (0)	01 (0)	01 (0)	10 (1)
10 (1)	10 (1)	10 (1)	10 (1)	10 (1)	01 (0)
11 (M)	11 (M)	01 (0)	11 (M)	10 (1)	00 (A)

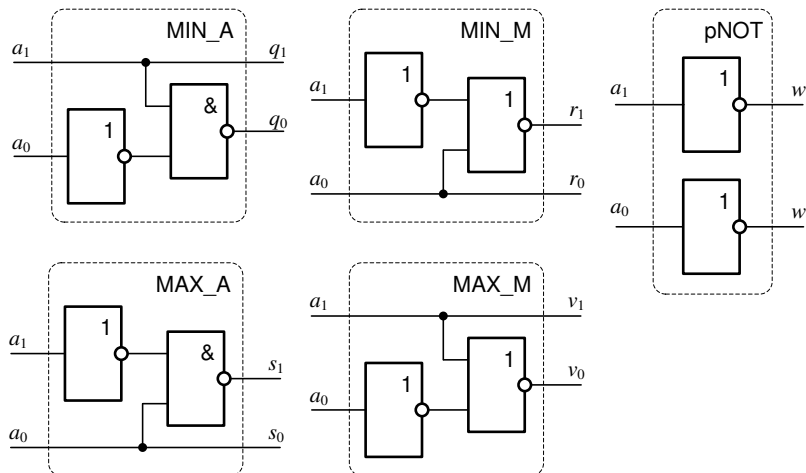


Рисунок 1 — Комбинационные схемы логических элементов, реализующих унарные операции тетралогии

Из табл. 2 получаем следующие аналитические выражения (все операции также являются операциями булевой алгебры):

$$x_0 = a_0 \vee b_0; \quad (11)$$

$$x_1 = a_1 \wedge b_1; \quad (12)$$

$$y_0 = a_0 \wedge b_0; \quad (13)$$

$$y_1 = a_1 \vee b_1; \quad (14)$$

$$z_0 = (\bar{a}_0 \wedge \bar{b}_0) \vee (a_0 \wedge b_0); \quad (15)$$

$$z_1 = (\bar{a}_1 \wedge b_1) \vee (a_1 \wedge \bar{b}_1). \quad (16)$$

На основании аналитических выражений (11–14) для бинарных тетрафункций $pAND$ и pOR спроектированы комбинационные схемы, которые приведены на рис. 3. На рис. 4 приведены созданные в Active-HDL компоненты для конъюнкции и дизъюнкции тетралогии с демонстрацией результатов моделирования.

Реализация функции $pXOR$ не нуждается в синтезе отдельного логического элемента, так как может быть реализована с использованием уже разработанных компонентов $pAND$, pOR и $pNOT$, поскольку

$$\begin{aligned} pXOR(a, b) &= \\ &= pOR(pAND(pNOT(a), b), \\ &\quad pAND(a, pNOT(b))). \end{aligned} \quad (17)$$

Справедливость выражения (17) может быть доказана подстановкой полученных ранее зависимостей (9–14) для функций $pAND$, pOR и $pNOT$. Так, для пар значений (a_0, b_0) и (a_1, b_1) получаем

$$\begin{aligned} pXOR(a_0, b_0) &= \\ &= pOR(pAND(\bar{a}_0, b_0), pAND(a_0, \bar{b}_0)) = \\ &= pOR(\bar{a}_0 \vee b_0, a_0 \vee \bar{b}_0) = \\ &= (\bar{a}_0 \vee b_0) \wedge (a_0 \vee \bar{b}_0) = \\ &= (\bar{a}_0 \wedge \bar{b}_0) \vee (a_0 \wedge b_0). \end{aligned} \quad (18)$$

$$\begin{aligned} pXOR(a_1, b_1) &= \\ &= pOR(pAND(\bar{a}_1, b_1), pAND(a_1, \bar{b}_1)) = \\ &= pOR(\bar{a}_1 \wedge b_1, a_1 \wedge \bar{b}_1) = \\ &= (\bar{a}_1 \wedge b_1) \vee (a_1 \wedge \bar{b}_1). \end{aligned} \quad (19)$$

Сопоставляя результаты выражений (18), (19) и (15), (16), очевидно, что $pXOR(a_0, b_0) = z_0$ и $pXOR(a_1, b_1) = z_1$. Учитывая, что $z = pXOR(a, b)$ (табл. 2), справедливость выражения (17) доказана.

На рис. 5 в Active-HDL выполнена практическая реализация зависимости (17) с демонстрацией результатов моделирования.

Таблица 2. Таблица истинности для бинарных тетрафункций
(в скобках приведены значения тетритов)

Входные значения		Выходные значения		
		постбинарной конъюнкции $x = pAND(a, b)$	постбинарной дизъюнкции $y = pOR(a, b)$	постбинарной суммы по модулю 2 $z = pXOR(a, b)$
$a[1:0]$	$b[1:0]$	$x[1:0]$	$y[1:0]$	$z[1:0]$
00 (A)	00 (A)	00 (A)	00 (A)	01 (0)
00 (A)	01 (0)	01 (0)	00 (A)	00 (A)
00 (A)	10 (1)	00 (A)	10 (1)	11 (M)
00 (A)	11 (M)	01 (0)	10 (1)	10 (1)
01 (0)	00 (A)	01 (0)	00 (A)	00 (A)
01 (0)	01 (0)	01 (0)	01 (0)	01 (0)
01 (0)	10 (1)	01 (0)	10 (1)	10 (1)
01 (0)	11 (M)	01 (0)	11 (M)	11 (M)
10 (1)	00 (A)	00 (A)	10 (1)	11 (M)
10 (1)	01 (0)	01 (0)	10 (1)	10 (1)
10 (1)	10 (1)	10 (1)	10 (1)	01 (0)
10 (1)	11 (M)	11 (M)	10 (1)	00 (A)
11 (M)	00 (A)	01 (0)	10 (1)	10 (1)
11 (M)	01 (0)	01 (0)	11 (M)	11 (M)
11 (M)	10 (1)	11 (M)	10 (1)	00 (A)
11 (M)	11 (M)	11 (M)	11 (M)	01 (0)

Синтез унарных тетралогических операций инверсной (shift) и сдвиговой (swap) групп

Таблица 3 представляет собой таблицу истинности для унарных тетрафункций инверсной группы [3, с. 136–137]: симметричных

($SWAP_A/M$, $SWAP_0/1$) и вероятностных ($SWAP_FL$, $SWAP_TR$).

Следующие аналитические выражения получены из табл. 3 с применением в некоторых выражениях операции отрицания булевой алгебры:

$$k_0 = a_1; \quad (18)$$

$$\begin{aligned} k_1 &= a_0; & (19) \\ l_0 &= \bar{a}_1; & (20) \\ l_1 &= \bar{a}_0; & (21) \\ m_0 &= \bar{a}_0; & (22) \\ m_1 &= a_1; & (23) \\ n_0 &= a_0; & (24) \\ n_1 &= \bar{a}_1. & (25) \end{aligned}$$

Комбинационные схемы, построенные на основании выражений (18–25) приведены на рис. 6.

Для унарных логических операций сдвиговой группы определены направления «В»

(сдвиг «назад», совпадающий с направлением оси «False» двумерного логического пространства) и «F» (сдвиг «вперед», совпадающий с направлением оси «True» двумерного логического пространства) [3]. Так, логическая операция $SHIFT_<i>B(a)$ определяет сдвиг тетрита a «назад» на i разрядов, а операция $SHIFT_<i>F(a)$ — сдвиг a «вперед» на i разрядов ($i \in \square$). В табл. 4 приведены результаты выполнения операций $SHIFT_<i>F(a)$ и $SHIFT_<i>B(a)$ для всех возможных входных значениях a и при количествах сдвигов, равных $i \bmod 4$.

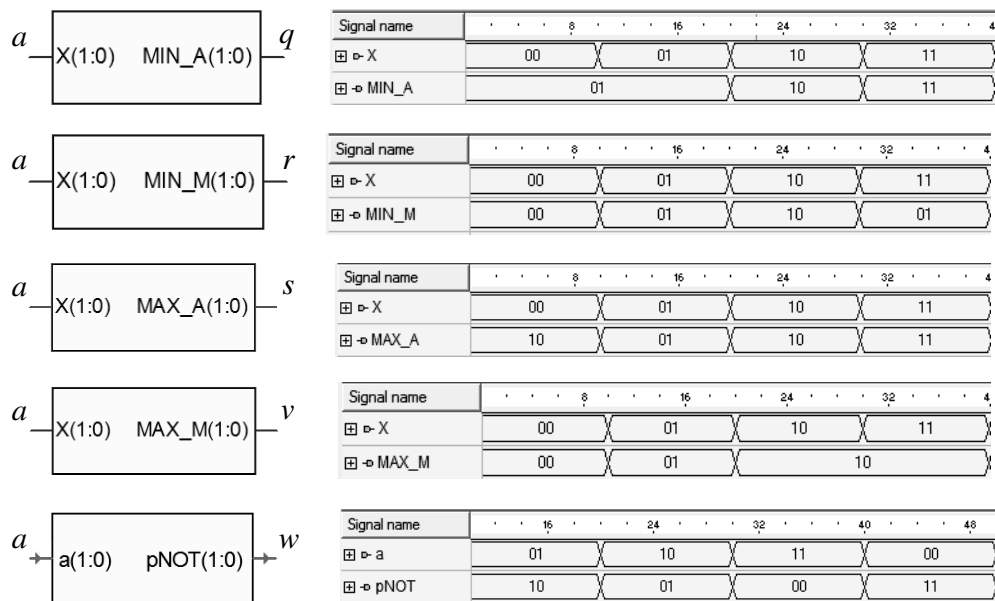


Рисунок 2 — Созданные в Active-HDL компоненты (слева), реализующие унарные функции тетралогии и диаграммы моделирования (справа)

Таблица 3. Таблица истинности для унарных тетрафункций инверсной группы (в скобках приведены значения тетритов)

Входные значения	Выходные значения			
	симметричной инверсии		вероятностной инверсии	
	$k = SWAP_A/M(a)$	$l = SWAP_O/I(a)$	$m = SWAP_FL(a)$	$n = SWAP_TR(a)$
$a[1:0]$	$k[1:0]$	$l[1:0]$	$m[1:0]$	$n[1:0]$
00 (A)	00 (A)	11 (M)	01 (O)	10 (I)
01 (O)	10 (I)	01 (O)	00 (A)	11 (M)
10 (I)	01 (O)	10 (I)	11 (M)	00 (A)
11 (M)	11 (M)	00 (A)	10 (I)	01 (O)

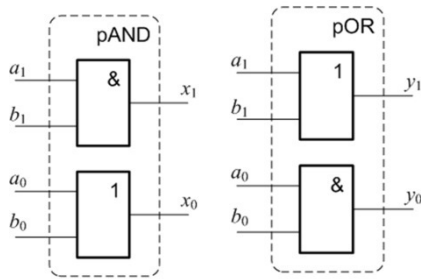


Рисунок 3 — Комбинационные схемы логических элементов, реализующих конъюнкцию и дизъюнкцию тетралогии

Сопоставляя данные таблиц 1, 3 и 4, можно убедиться в справедливости равенств (26) и (27).

$$\begin{aligned} \text{SHIFT}_{\langle i \rangle} F(a) = & \begin{cases} a, & \text{if } i \bmod 4 = 0, \\ \text{SWAP_0/1}(\text{SWAP_FL}(a)), & \text{if } i \bmod 4 = 1, \\ \text{pNOT}(a), & \text{if } i \bmod 4 = 2, \\ \text{SWAP_0/1}(\text{SWAP_TR}(a)), & \text{if } i \bmod 4 = 3. \end{cases} \end{aligned} \quad (26)$$

$$\begin{aligned} \text{SHIFT}_{\langle i \rangle} B(a) = & \begin{cases} a, & \text{if } i \bmod 4 = 0, \\ \text{SWAP_0/1}(\text{SWAP_TR}(a)), & \text{if } i \bmod 4 = 1, \\ \text{pNOT}(a), & \text{if } i \bmod 4 = 2, \\ \text{SWAP_0/1}(\text{SWAP_FL}(a)), & \text{if } i \bmod 4 = 3. \end{cases} \end{aligned} \quad (27)$$

Из (26) и (27) следует, что для аппаратной реализации операций $\text{SHIFT}_{\langle i \rangle} F(a)$ и $\text{SHIFT}_{\langle i \rangle} B(a)$ нужно использовать компоненты SWAP_0/1, SWAP_FL, SWAP_TR и pNOT. Также можно сделать заключение, что тождественное равенство

$$\text{SHIFT}_{\langle i \rangle} F(a) \equiv \text{SHIFT}_{\langle j \rangle} B(a) \quad (28)$$

справедливо, тогда и только тогда, когда значения i и j связаны соотношением (29).

$$j = \begin{cases} 0, & \text{if } i \bmod 4 = 0, \\ 4 - i \bmod 4, & \text{if } i \bmod 4 \neq 0. \end{cases} \quad (29)$$

Рисунок 7 иллюстрирует равенства (26) и (27) для нетривиальных композиций функции при $i \bmod 4 = \{1, 3\}$ с учетом тождества (28).

Очевидно, что схемы, приведенные на рис. 7, можно упростить так, чтобы использовать только логические элементы SWAP_FL и SWAP_TR (рис. 8).

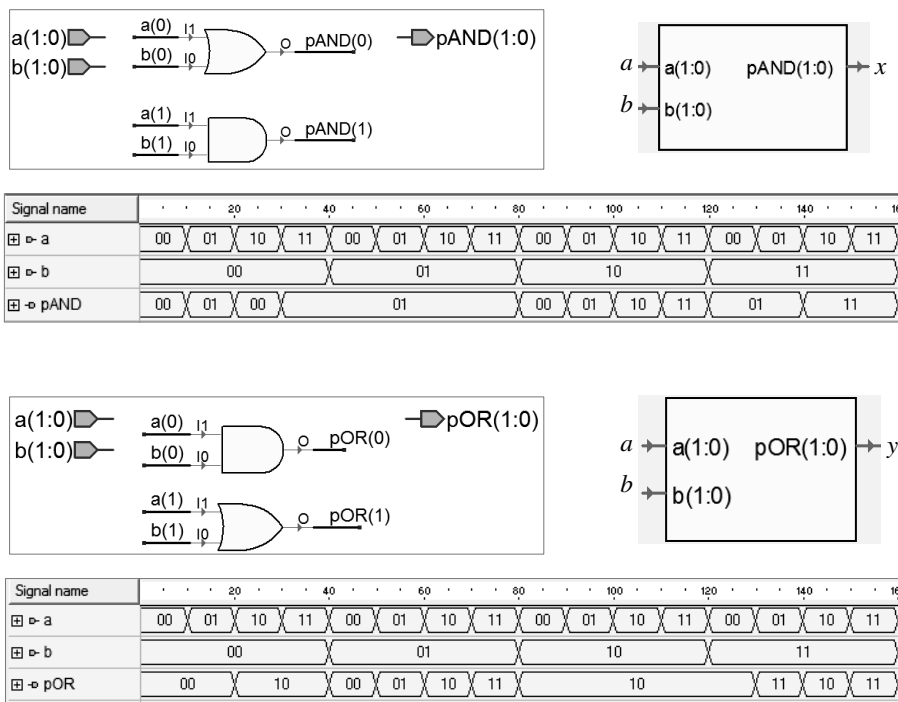


Рисунок 4 — Созданные в Active-HDL компоненты, реализующие унарные функции тетралогии: конъюнкцию (вверху) и дизъюнкцию (внизу)

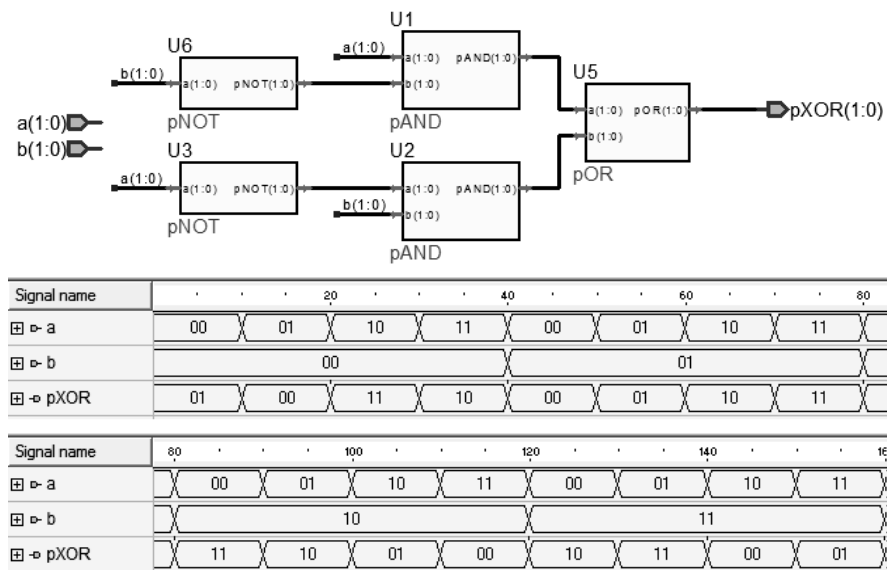


Рисунок 5 — Реализация операции тетралогии pXOR с использованием компонентов pAND, pOR и pNOT

Таблица 4. Таблица истинности для унарных тетрафункций сдвиговой группы (в скобках приведены значения тетритов)

Входные значения	Сдвиг	Выходные значения	
		$f' = SHIFT_{<i>F(a)}$	$f'' = SHIFT_{<i>B(a)}$
$a[1:0]$	$i \bmod 4$	$f'[1:0]$	$f''[1:0]$
00 (A)	0	00 (A)	00 (A)
01 (O)		01 (O)	01 (O)
10 (I)		10 (I)	10 (I)
11 (M)		11 (M)	11 (M)
00 (A)	1	01 (O)	10 (I)
01 (O)		11 (M)	00 (A)
10 (I)		00 (A)	11 (M)
11 (M)		10 (I)	01 (O)
00 (A)	2	11 (M)	11 (M)
01 (O)		10 (I)	10 (I)
10 (I)		01 (O)	01 (O)
11 (M)		00 (A)	00 (A)
00 (A)	3	10 (I)	01 (O)
01 (O)		00 (A)	11 (M)
10 (I)		11 (M)	00 (A)
11 (M)		01 (O)	10 (I)

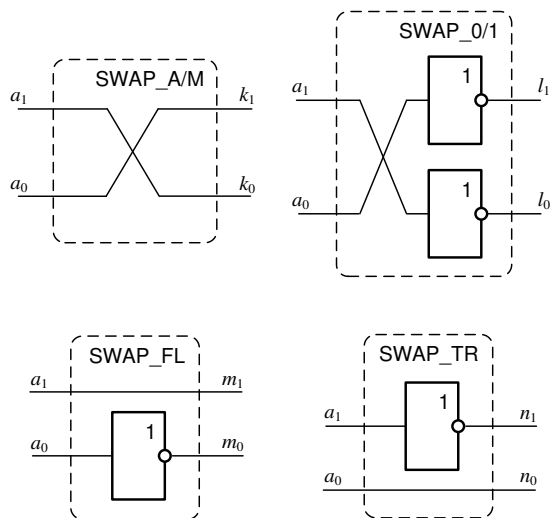


Рисунок 6 — Комбинационные схемы логических элементов, реализующих операции тетралогии инверсной группы

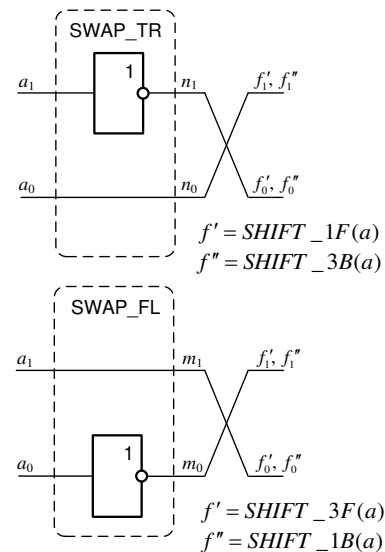


Рисунок 8 — Результат упрощения комбинационных схем, реализующих операции тетралогии сдвиговой группы

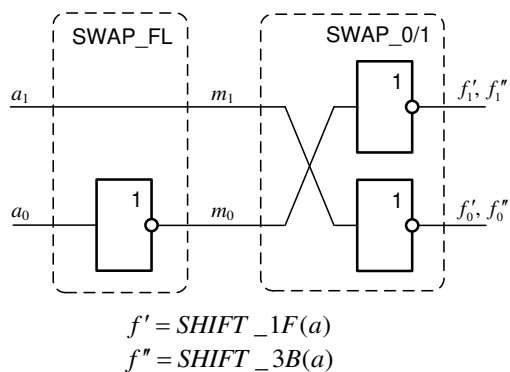


Рисунок 7 — Комбинационные схемы, реализующие операции сдвиговой группы

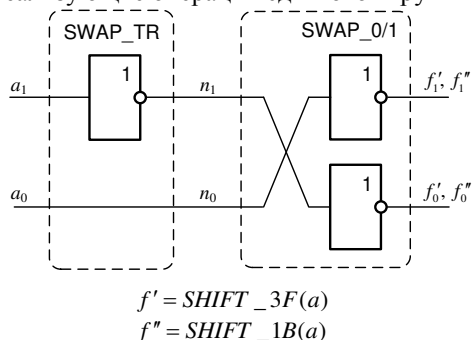


Рисунок 7 (продолжение) — Комбинационные схемы, реализующие операции сдвиговой группы

Выводы

Полученные компьютерные компоненты рассмотренных в [3] операций тетралогии могут выступать в качестве элементарного базиса для реализации специализированных компонентов, способных реализовывать базовые операции тетраарифметики, т. е. производить тетравычисления на базе современных компьютерных систем [5, 8].

Реализация тетраарифметики и тетравычислений в современных бинарных компьютерах является весомым аргументом в пользу перехода к постбинарному компьютерингу [9] и делает возможным создание вычислительных моделей, способных осуществлять достоверные вычисления и представлять в вычисляемом виде множество противоречий окружающего мира.

Литература

1. Аноприенко А. Я. Тетралогика и тетракоды / А. Я. Аноприенко // Сборник трудов факультета вычислительной техники и информатики. Вып. 1. — Донецк: ДонГТУ. — 1996. С. 32–43.
2. Аноприенко А. Я. Археомоделирование: модели и инструменты докомпьютерной эпохи / А. Я. Аноприенко. — Донецк: УНИТЕХ, 2007 — 318 с., ил.
3. Иваница С. В. Особенности реализации операций тетралогии / С. В. Иваница, А. Я. Аноприенко. // Научные труды Донецкого национального технического университета. Серия: «Информатика, кибернетика и вычислительная техника» (ИКВТ-2011). Выпуск

13 (185). — Донецк: ДонНТУ, 2011. С. 134–140.

4. Иваница С. В. Реализация логических операций над элементами тетракодов / С. В. Иваница, А. Я. Аноприенко // «Інформаційні управляючі системи та комп'ютерний моніторинг» (ІУС КМ – 2011) // Матеріали II Всеукраїнської науково-технічної конференції студентів, аспірантів і молодих учених — 11–13 квітня 2011 г. Т.2. Донецьк, ДонНТУ. — 2011. С. 198–202.

5. Аноприенко А. Я. Тетралогіка, тетравычисления и ноокомпьютинг. / А. Я. Аноприенко, С. В. Иваница — Донецк, ДонНТУ, УНИТЕХ, 2012. — 308 с.

6. Баркалов А. А. Прикладная теория цифровых автоматов. / А. А. Баркалов, Л. А. Титаренко — Донецк: Доннту, Технопарк

ДонНТУ УНИТЕХ, 2010. — 320 с.

7. Бибило П. Н. Основы языка VHDL: Учебное пособие. / П. Н. Бибило. — Изд. 5-е. — М.: Книжный дом «ЛИБРОКОМ», 2012. — 328 с.

8. Anopriyenko A., Ivanitsa S., Hamzah A. Postbinary calculations as a machine-assisted realization of real interval calculations / International Journal of Advanced Trends in Computer Science and Engineering (IJATCSE), 2 (4), July–August 2013, P. 91–94.

9. Аноприенко А. Я. Постбинарный компьютеринг и интервальные вычисления в контексте кодо-логической эволюции. / А. Я. Аноприенко, С. В. Иваница — Донецк, ДонНТУ, УНИТЕХ, 2011. — 248 с.

Иваница С. В. Проектирование компьютерных компонентов для реализации операций тетралогики. Выполнен синтез элементов тетралогики, выполняющих тетрафункции над входными сигналами (операндами, данными). Предложены модели компьютерных компонентов, выполненных в среде Active-HDL. Определены зависимости между унарными сдвиговыми и инверсными логическими операциями тетралогики с возможностью универсального использования синтезированных элементов.

Ключевые слова: тетракод, тетрит, тетралогіка, логические элементы, постбинарный компьютеринг.

Ivanitsa S. Designing of computer components for realization of tetralogic operations. Synthesis of tetralogical elements performing tetrafunctions over input signals is performed. Computer components models made in the Active-HDL environment are proposed. Dependencies between unary shift and inverse logical operations of tetralogy with the possibility of universal use determined synthesized elements.

Keywords: tetracode, tetrit, tetralogic, logical elements, postbinary computing.

Статья поступила в редакцию 25.09.2017 г.
Рекомендована к публикации д-ром техн. наук В.Н. Павлышом